



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0040478  
Application Number

출원년월일 : 2002년 07월 11일  
Date of Application JUL 11, 2002

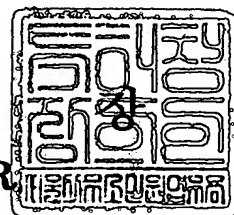
출원인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc..



2003      년      05      월      21      일

특      허      청

COMMISSIONER



## 【서지사항】

**【서류명】** 특허출원서  
**【권리구분】** 특허  
**【수신처】** 특허청장  
**【참조번호】** 0013  
**【제출일자】** 2002.07.11  
**【발명의 명칭】** 반도체 소자의 캐패시터 제조 방법  
**【발명의 영문명칭】** Method of manufacturing a capacitor in a semiconductor device  
**【출원인】**  
**【명칭】** (주)하이닉스 반도체  
**【출원인코드】** 1-1998-004569-8  
**【대리인】**  
**【성명】** 신영무  
**【대리인코드】** 9-1998-000265-6  
**【포괄위임등록번호】** 1999-003525-1  
**【발명자】**  
**【성명의 국문표기】** 최재성  
**【성명의 영문표기】** CHOI, Jae Sung  
**【주민등록번호】** 690228-1066821  
**【우편번호】** 361-201  
**【주소】** 충청북도 청주시 흥덕구 분평동 주공 6차 아파트 603-1303  
**【국적】** KR  
**【심사청구】** 청구  
**【취지】** 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 신영무 (인)  
**【수수료】**  
**【기본출원료】** 12 면 29,000 원  
**【가산출원료】** 0 면 0 원  
**【우선권주장료】** 0 건 0 원  
**【심사청구료】** 7 항 333,000 원  
**【합계】** 362,000 원  
**【첨부서류】** 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명은 하부 전극으로 구리를 사용하는 MIM 캐패시터(Metal-Insulator-Metal Capacitor) 제조 방법에 관한 것으로, 다마신 기법을 사용하여 구리 하부 전극을 형성하고, 구리 하부 전극을 포함한 전체 구조상에 포토레지스트를 도포한 후 패터닝 공정으로 구리 하부 전극이 노출된 캐패시터 홀을 갖는 포토레지스트 패턴을 형성하고, 포토레지스트 패턴의 표면을 경화시켜 포토레지스트 경화층을 형성하고, 구리 하부 전극을 포함한 경화층 표면을 따라 캐패시터 유전체막을 형성하고, 포토레지스트 패턴의 캐패시터 홀이 충분히 채워지도록 캐패시터 유전체막 상에 상부 전극 물질층을 형성하고, 화학적 기계적 연마 공정으로 상부 전극 물질층 및 캐패시터 유전체막을 경화층이 노출될 때까지 연마하여 캐패시터 홀 내에 상부 전극을 형성하여 MIM 캐패시터를 제조한다. 본 발명은 마스크 공정 및 식각 공정 없이 MIM 캐패시터하므로, 구리 하부 전극의 식각 손상으로 인한 소자의 신뢰성 및 수율 저하를 방지할 수 있다.

**【대표도】**

도 1e

**【색인어】**

구리배선, MIM 캐패시터, 포토레지스트 패턴, 경화층

【명세서】

【발명의 명칭】

반도체 소자의 캐패시터 제조 방법{Method of manufacturing a capacitor in a semiconductor device}

【도면의 간단한 설명】

도 1a 내지 도 1f는 본 발명의 실시예에 따른 반도체 소자의 캐패시터 제조 방법을 설명하기 위한 소자의 단면도.

<도면의 주요 부분에 대한 부호의 설명>

- 10: 기판      11: 층간 절연막
- 12: 구리 하부 전극    13: 포토레지스트 패턴
- 13a: 포토레지스트 경화층    14: 캐패시터 홀
- 15: 캐패시터 유전체막    16: 상부 전극 물질층
- 16a: 상부 전극

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<8>       본 발명은 반도체 소자의 캐패시터 제조 방법에 관한 것으로, 특히 하부 전극으로 구리를 사용하는 MIM 캐패시터(Metal-Insulator-Metal Capacitor)를 마스크 공정 및 식각 공정을 적용하지 않고 화학적 기계적 연마 공정을 적용하여 형성하므로, 구리 하부 전극의 식각 손상으로 인한 소자의 신뢰성 및 수율 저하를 방지할 수 있는 반도체 소자의 캐패시터 제조 방법에 관한 것이다.

<9>       일반적으로, 반도체 산업이 초대규모 집적 회로(Ultra Large Scale Integration; ULSI)로 옮겨 가면서 소자의 지오메트리(geometry)가 서브-하프-마이크로(sub-half-micron) 영역으로 계속 줄어드는 반면, 성능 향상 및 신뢰도 측면에서 회로 밀도(circuit density)는 증가하고 있다. 이러한 요구에 부응하여, 반도체 소자의 금속 배선을 형성함에 있어서 구리 박막은 알루미늄에 비해 녹는점이 높아 전기이동도(electro-migration; EM)에 대한 저항이 커서 반도체 소자의 신뢰성을 향상시킬 수 있고, 비저항이 낮아 신호전달 속도를 증가시킬 수 있어, 집적 회로(integration circuit)에 유용한 상호연결 재료(interconnection material)로 사용되고 있다. 그리고, 반도체 소자의 구리 배선 형성 공정에 하부층과 전기적으로 연결하기 위한 비아 콘택홀 및 금속 배선이 위치되는 트렌치를 동시에 형성시키는 다마신 기법이 널리 적용되고 있으며, 다

마신 패턴이 형성될 금속 층간 절연막은 유전율이 낮은 저유전 절연물질을 사용하고 있다.

<10> 한편, 이러한 구리 배선을 이용한 반도체 소자의 MIM 캐패시터 (Metal-Insulator-Metal Capacitor) 구조의 경우 하부 전극으로 구리를 사용하고, 하부 전극으로 Ti, TiN, Ta, TaN 등의 물질을 사용하고 있다. 기존의 MIM 캐패시터 제조 공정은 다마신 기법으로 구리 하부 전극을 형성하고, 구리 하부 전극을 포함한 전체 구조 상에 캐패시터 유전체막을 증착하고, 캐패시터 유전체막 상에 상부 전극 물질층을 증착하고, 상부 전극 물질층 상에 포토리소그래피(photolithography) 공정으로 상부 전극 마스크층을 형성하고, 이 마스크층을 이용한 식각 공정으로 상부 전극 물질층 및 캐패시터 유전체막을 식각하여 상부 전극을 형성하는 공정 순으로 진행된다.

<11> 상기한 종래 캐패시터 제조 공정에서, 상부 전극 물질층 및 캐패시터 유전체막을 식각하는 공정이 적용되는데, 이 식각 공정시 구리 하부 전극이 식각 손상(etching damage)을 입게되고, 제거에 난점이 많은 구리 폴리머(copper polymer)성 이물질이 발생하는 등 공정 제어에 많은 문제를 일으키고 있으며, 하부 전극의 손상 및 구리 폴리머 발생은 궁극적으로 소자 수율에 치명적인 영향을 끼치고 있다.

#### 【발명이 이루고자 하는 기술적 과제】

<12> 따라서, 본 발명은 하부 전극으로 구리를 사용하는 MIM 캐패시터를 마스크 공정 및 식각 공정을 적용하지 않고 화학적 기계적 연마 공정을 적용하여 형성하므로, 구리 하부

전극의 식각 손상으로 인한 소자의 신뢰성 및 수율 저하를 방지할 수 있는 반도체 소자의 캐패시터 제조 방법을 제공함에 그 목적이 있다.

<13> 이러한 목적을 달성하기 위한 본 발명의 실시예에 따른 반도체 소자의 캐패시터 제조 방법은 기판 상에 구리 하부 전극을 형성하는 단계; 상기 구리 하부 전극이 노출된 캐패시터 홀을 갖는 포토레지스트 패턴을 형성하는 단계; 상기 포토레지스트 패턴의 표면을 경화시켜 포토레지스트 경화층을 형성하는 단계; 상기 캐패시터 홀 포함한 상기 포토레지스트 경화층 상에 캐패시터 유전체막 및 상부 전극 물질층을 형성하는 단계; 화학적 기계적 연마 공정으로 상기 상부 전극 물질층 및 상기 캐패시터 유전체막을 연마하여 상기 캐패시터 홀 내에 상부 전극을 형성하는 단계; 및 상기 포토레지스트 경화층을 포함한 상기 포토레지스트 패턴을 제거하는 단계를 포함하여 이루어지는 것을 특징으로 한다.

#### 【발명의 구성 및 작용】

<14> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세하게 설명한다. 그러나, 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예는 본 발명의 개시가 완전하도록 하며, 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다.

- <15> 도 1a 내지 도 1f는 본 발명의 실시예에 따른 반도체 소자의 캐패시터 제조 방법을 설명하기 위한 소자의 단면도이다.
- <16> 도 1a를 참조하면, 반도체 소자를 구성하기 위한 하지층이 형성된 기판(10)이 제공되고, 기판(10) 상에 층간 절연막(11)을 형성한다. 다마신 기법을 사용하여 층간 절연막(11)에 구리 하부 전극(12)을 형성한다.
- <17> 도 1b를 참조하면, 구리 하부 전극(12)을 포함한 전체 구조상에 포토레지스트를 도포한 후, 패터닝 공정으로 구리 하부 전극(12)이 노출된 캐패시터 홀(14)을 갖는 포토레지스트 패턴(13)을 형성한다.
- <18> 상기에서, 포토레지스트 패턴(13)은 실리콘(silicon) 함유 레지스트를 포함한 반도체 제조 공정에 사용되는 모든 포토레지스트를 사용하여 형성한다.
- <19> 도 1c를 참조하면, 포토레지스트 패턴(13)의 표면을 경화시켜 포토레지스트 경화층(13a)을 형성한다.
- <20> 상기에서, 포토레지스트 경화층(13a)은 후속 증착 공정 및 화학적 기계적 연마 공정에 저항력을 가질 수 있도록 경화(hardening)시켜 형성하는데, 경화 방법은 포토레지스트 패턴(13)이 형성된 상태에서 실리레이션(silylation) 공정을 실시하여 포토레지스트 표면의 -OH기와 실리레이션 작용제와의 반응으로 포토레지스트 패턴(13)의 표면을 경화시키거나, 포토레지스트 패턴(13)이 형성된 상태에서  $O_2$  애싱(ashing) 공정으로 표면 처리하여 포토레지스트 패턴(13)의 표면을 경화시킨다. 실리레이션 공정은 HMDS(Hexamethyldisilazane), TMDS(Tetramethyldisilazane),



B(DMA)MS(Bisdimethylaminomethyldilane) 등의 실리콘 계열 화합물을 사용하여 50 ~ 300℃의 온도 범위에서 실시한다.

- <21> 도 1d를 참조하면, 캐패시터 홀(14)을 통해 노출된 구리 하부 전극(12)을 포함한 포토레지스트 경화층(13a) 표면을 따라 캐패시터 유전체막(15)을 형성하고, 포토레지스트 패턴(13)의 캐패시터 홀(14)이 충분히 채워지도록 캐패시터 유전체막(15) 상에 상부 전극 물질층(16)을 형성한다.
- <22> 상기에서, 캐패시터 유전체막(15)은 산화물(oxide), 질화물(nitride), 질화산화물(oxinitride) 및 이와 유사한 계열의 물질을 사용하여 형성한다. 상부 전극 물질층(16)은 Ti, TiN, Ta, TaN 및 이와 유사한 계열의 물질을 사용하여 형성한다.
- <23> 도 1e를 참조하면, 화학적 기계적 연마 공정으로 상부 전극 물질층(16) 및 캐패시터 유전체막(15)을 포토레지스트 경화층(13a)의 상단 표면이 노출될 때까지 연마하여 캐패시터 홀(14) 내에 상부 전극(16a)을 형성한다.
- <24> 상기에서, 연마 공정은 상부 전극 물질층(16) 및 캐패시터 유전체막(15)의 선택적 제거를 동시에 혹은 순서적으로 진행한다.
- <25> 도 1f를 참조하면, 애싱(ashing) 공정 혹은 습식 식각(wet etching) 공정을 통해 포토레지스트 경화층(13a)을 포함한 포토레지스트 패턴(13)을 제거하여 MIM 캐패시터를 완성시킨다.

**【발명의 효과】**

<26> 상술한 바와 같이, 본 발명은 하부 전극으로 구리를 사용하는 MIM 캐패시터를 마스크 공정 및 식각 공정을 적용하지 않고 화학적 기계적 연마 공정을 적용하여 형성하므로, 구리 하부 전극의 식각 손상으로 인한 소자의 신뢰성 및 수율 저하를 방지할 수 있으며, 공정 안정성 및 재현성을 증가시킬 수 있다.

**【특허청구범위】****【청구항 1】**

기판 상에 구리 하부 전극을 형성하는 단계;

상기 구리 하부 전극이 노출된 캐패시터 홀을 갖는 포토레지스트 패턴을 형성하는 단계;

상기 포토레지스트 패턴의 표면을 경화시켜 포토레지스트 경화층을 형성하는 단계;

상기 캐패시터 홀 포함한 상기 포토레지스트 경화층 상에 캐패시터 유전체막 및 상부 전극 물질층을 형성하는 단계;

화학적 기계적 연마 공정으로 상기 상부 전극 물질층 및 상기 캐패시터 유전체막을 연마하여 상기 캐패시터 홀 내에 상부 전극을 형성하는 단계; 및

상기 포토레지스트 경화층을 포함한 상기 포토레지스트 패턴을 제거하는 단계를 포함하여 이루어지는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

**【청구항 2】**

제 1 항에 있어서,

상기 포토레지스트 패턴은 실리콘 함유 레지스트를 포함한 반도체 제조 공정에 사용되는 포토레지스트를 사용하여 형성하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

**【청구항 3】**

제 1 항에 있어서,

상기 포토레지스트 경화층은 상기 포토레지스트 패턴이 형성된 상태에서 실리레이션 공정을 실시하여 형성하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

**【청구항 4】**

제 3 항에 있어서,

상기 실리레이션 공정은 HMDS, TMDS, B(DMA)MS의 실리콘 계열 화합물을 사용하여 50 ~ 300℃의 온도 범위에서 실시하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

**【청구항 5】**

제 1 항에 있어서,

상기 포토레지스트 경화층은 상기 포토레지스트 패턴이 형성된 상태에서 O<sub>2</sub> 애싱 공정으로 표면 처리하여 형성하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

**【청구항 6】**

제 1 항에 있어서,

상기 캐패시터 유전체막은 산화물, 질화물, 질화산화물 및 이와 유사한 계열의 물질을 사용하여 형성하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

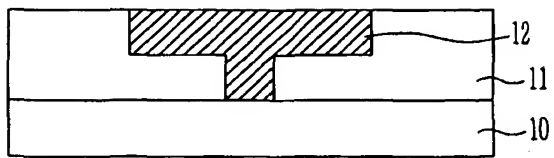
**【청구항 7】**

제 1 항에 있어서,

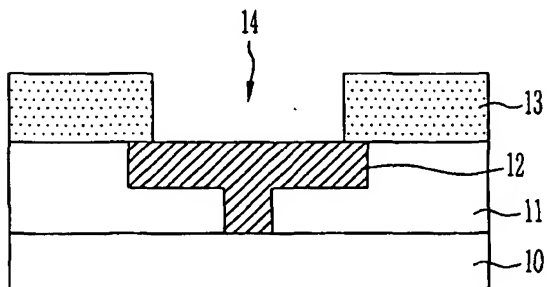
상기 상부 전극 물질층은 Ti, TiN, Ta, TaN 및 이와 유사한 계열의 물질을 사용하여 형성하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

【도면】

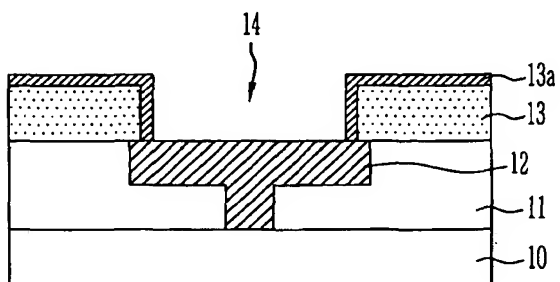
【도 1a】



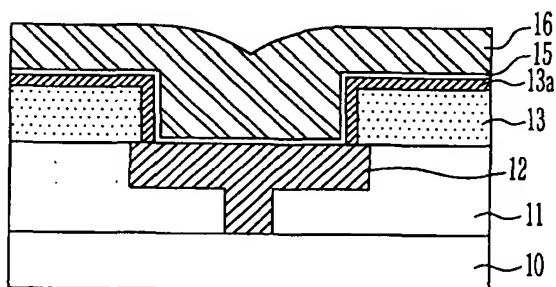
【도 1b】



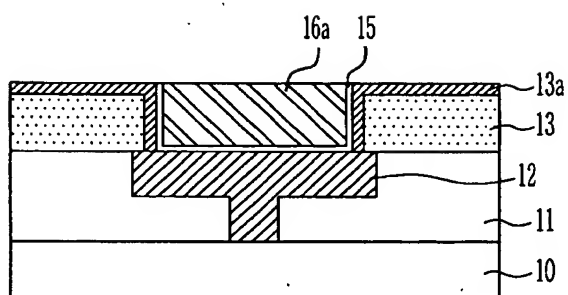
【도 1c】



【도 1d】



【도 1e】



【도 1f】

